

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 63304229 A

(43) Date of publication of application: 12.12.88

(51) Int. Cl

G02F 1/133

(21) Application number: 62140386

(71) Applicant: SEIKO EPSON CORP

(22) Date of filing: 04.06.87

(72) Inventor: UCHIDA MASAHIKE
MURATA MASAMI

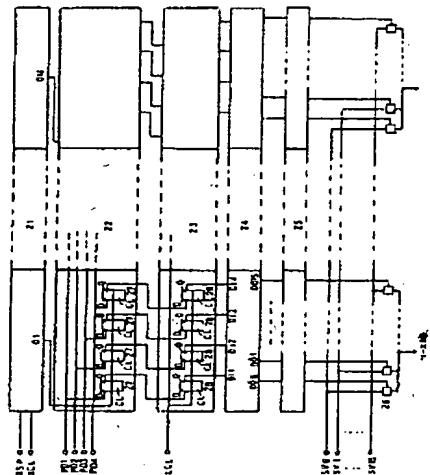
(54) DRIVING CIRCUIT FOR LIQUID CRYSTAL PANEL relatively low bit number is thereby obtd.

(57) Abstract:

COPYRIGHT: (C)1988,JPO&Japio

PURPOSE: To obtain a driving means best suited for a large-capacity display of a low bit gradation number by constituting a titled circuit of shift registers, a latch A circuit of K bit parallel, a latch B circuit which simultaneously latches the data thereof, and analog switch groups for selecting one among gradation signals, etc.

CONSTITUTION: This circuit is constituted of the shift registers 21 of the number of M-stages in the number of source lines, the latch A circuit 22 which latches K bits of the data controlled by the output of the respective stages of the shift registers 21 in parallel, the latch B circuit 23 which simultaneously latches the data of the circuit 22, a decoder 24 and analog switch groups 26 which select 2K pieces of the voltages inputted from the outside by K bits of the latched data, as well as a level shifter 25 which matches the logic levels of the decoder 24 and the analog switches 26 (L, M, K are positive integers). The optimum means for driving the display which displays a large volume of digital information and makes the gradation display of a



(3)

⑨日本国特許庁 (JP)

⑩特許出願公開

⑪公開特許公報 (A)

昭63-304229

⑤Int.Cl.

G 02 F 1/133

識別記号

332

序内整理番号

8708-2H

⑪公開 昭和63年(1988)12月12日

審査請求 未請求 発明の数 1 (全7頁)

⑫発明の名称 液晶パネルの駆動回路

⑬特願 昭62-140386

⑭出願 昭62(1987)6月4日

⑮発明者 内田 雅秀 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑯発明者 村田 雅巳 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑰出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号

⑱代理人 弁理士 最上 務 外1名

明細書

1. 発明の名称

液晶パネルの駆動回路

2. 特許請求の範囲

M本のソース線とN本のゲート線を設け (M、Nは正整数)、各交点に1つの薄膜トランジスタ (以下にTFTと略す) 画素電極を形成した、いわゆるアクティブラチアマトリックス方式の液晶パネルの駆動回路において、ソース線数Mの段数のシフトレジスタ、該シフトレジスタの各段の出力によって制御されるKビットのデータを並列にラッチする回路 (Kは正整数)、該ラッチ回路のデータを一括でラッチするラッチ回路、該Kビットのラッチデータによって外部から入力された2^K個の電圧を選択するデコーダとアナログスイッチ群及び該デコーダと該アナログスイッチのロジックレベルを合わせるシフトレジスタから構成されることを特徴とする液晶パネルの駆動回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はTFT素子を使う、いわゆるアクティブラチアマトリックス液晶パネルの駆動回路に関する。
(従来の技術)

TFTを用いた、いわゆるアクティブラチアマトリックス方式の液晶パネルはパケットTV用のディスプレイとして商品化が図られた。すなわち、最初は、画面サイズは2インチで画素数は横240×縦220程度のビデオ信号入力のディスプレイであった。このようなディスプレイには、アナログのビデオ信号を直接パネルに供給するアナログ点順次やアナログ線順次などの駆動方式が採用されていた。第2図は現在、主に採用されているアナログ線順次方式の駆動のパネルブロック図である。Xドライバー1、Yドライバー2、アクティブラチアマトリックスパネル3から構成されている。Xドライバーは更にM段のシフトレジスタ4、2段Mケのサンプルホールド回路群5及び6から成る。

ている。サンプルホールダの各段は各々アナログスイッチ7及び10、サンプルホールド用のコンデンサー8及び11、バッファアンプ9及び12から構成されている。アナログスイッチ7のコントロール端子はシフトレジスタ4の各段の出力に結ばれ、アナログスイッチ10のコントロール端子は全段とも共通に結ばれラッチクロックLCLとしてとり出されている。アナログスイッチ7の入力端子は全段共通に結ばれVIDEO信号が入力される。アナログスイッチ10の入力端子にはバッファアンプ9の出力が結ばれ、また、バッファアンプ12の出力はアクティブマトリックスパネル3を縦方向に走るソース線15に結ばれる。XSP及びXCLはシフトレジスタ4のスタートバルス及びクロック信号である。

Yドライバー2はN段のシフトレジスタ13と各段の出力に結ばれたNヶのバッファアンプ14から構成されている。また、各バッファアンプ14の出力はゲート線16に結ばれている。

アクティブマトリックスパネル3は縦方向に走

るM本のソース線15、横方向に走るN本のゲート線16、さらに、各々の線の交点にある西森トランジスタ17、西森電極18と共に電極19から構成されている。

一本のゲート線16が選択されている期間(1水平走査期間、以下1Hと略す)にXドライバーにはXSPが1発入力され、XCLによりシフトレジスタ4の内を転送される。この時、シフトレジスタの各段の出力により、VIDEO信号レベルがサンプルホールド5にラッチされる。1Hの走査が終了した時点でラッチバルスLCLを加え、全段を一括して、サンプルホールド6にラッチする。次の1H期間中、この信号によりパネルの書き込みを行なうのである。この時、サンプルホールド5は次のゲートラインのVIDEO信号を取り込む。

(発明が解決しようとする問題点)

しかし、前述の従来技術では、より大容量で、比較的低ビットの階調表示が要求される用途に使う場合には種々の問題点が発生する。ここでは、

さらに、表示されるデータの処理がデジタル的に行なわれ、最終的にビデオRAM(RAMはランダムアクセスメモリーの略、以下にVRAMと略す)に保存されたデジタルのデータで表示を行なう形式のシステムについての問題点をあげる。

大容量ディスプレイの場合には、画面サイズも5~8インチ以上、12~14インチ程度まで考えられるが、画面が大型化すると必然的に画素数も増やす必要がある。いま、横の画素数M段の画素数Nのディスプレイをリフレッシュ周波数f_{sc}Hzで表示する時の1水平走査期間(以下に1H期間と呼ぶ)T_{1H}は次の式で表わされる。

$$T_{1H} = 1 / (N \times f_{sc}) \quad (\text{sec})$$

従って、すべてのXドライバーをカスケードに結んで單相のクロックでデータをサンプリングする時のクロック周波数f_{cl}

$$f_{cl} = M / T_{1H} = M \times N \times f_{sc} \quad (\text{Hz})$$

となる。例えば、M=1000、N=1000、リフレッシュ周波数f_{sc}=100(Hz)とする

と、f_{cl}=100(MHz)となる。ところが、このように高速で動作するドライバーICを実現することは非常に難しい。そこで、考へられるのがXドライバーをカスケード接続にせず、いくつかに分け、データを並列に入力する方式である。このように、Xドライバーをk個に分け、各々を並列にデータをサンプリングさせれば、Xドライバーのサンプリング周波数はf_{cl}/kとなり、高速化の要求は低減される。

第3図は、上記の並列入力方式を採用し、Xドライバーに2個のアナログ駆動次ドライバーを使い、表示データをデジタルで入力する方式のディスプレイシステムのブロック図である。アクティブパネル3のXドライバーとして2つのアナログ駆動ドライバー1が接続され、各ドライバーのビデオ入力端子には、VRAM1、2からのデジタルのデータをアナログのビデオ信号VIDEO1L及びVIDEO1Rに変換するためのD/A変換器20がついている。当然、アナログドライバーには他の必要なクロック等は入力されるが、ここで

は端端には関係ないので省く。また、パネルにはYドライバー2が接続されている。このような構成を採用した場合でも、D/A変換器の動作スピードは高速が要求される。また、2つのD/A変換器のアナログ出力の間のオフセット電圧が発生するとパネルの右半分と左半分のコントラストが異なり境界の部分に縦線が生ずることが考えられる。

そこで、本発明はこのような問題点を解決するものとすることと、大容量のデジタル情報を表示するディスプレイで、比較的低ビット数の階調表示を行なうディスプレイを駆動する最適な手段を提供することにある。

(問題点を解決するための手段)

本発明の液晶パネルの駆動回路は、M本のソース線と、N本のゲート線を設け（M、Nは正整数）、各交点に1つの単極トランジスタ回路電極を形成した、いわゆるアクティブマトリックス方式の液晶パネルの駆動回路において、ソース線数、Mの段数のシフトレジスタ、該シフトレジ

スタの各段の出力によって制御されるKビットのデータを並列にラッチするラッチA回路（Kは正整数）、該ラッチA回路のデータを一括でラッチするラッチB回路、該Kビットのラッチデータによって外部から入力された2^K個の電圧を選択するデコーダとアナログスイッチ群及び該デコーダと該アナログスイッチのロジックレベルを合わせるレベルシフタから構成されることを特徴とする液晶パネルの駆動回路。

(実施例)

第1図は本発明の実施例の液晶パネルの駆動回路のXドライバーのプロック図であり、シフトレジスタ21、Kビット（ここではK=4）並列のラッチA回路22、一括してラッチするラッチB回路23、4ビットのD11～D14をデコードして16ヶのD00～D015を作り出すデコーダ24、デコーダの出力を液晶駆動電圧まで待ち上げるレベルシフタ25、該レベルシフタの出力をコントロール端子に持ち、2⁴=16レベルの階調信号のうち1つを選択するアナログスイッチ群26から構成されている。ここで、ラッチA回路22及びラッチB回路23の各段の内部にはハーフラッチ27及び28がおのおの4ヶずつ4のようには接続されている。従って、ラッチA回路22の各段は、該当するシフトレジスタ21の段の出力Q_n（nは1～Mの整数）に同期して、4ビットのPD1～PD4を取り込む。このようにして、ラッチされたデータは一括してラッチパルスLCLでラッチB回路23に取り込まれる。ラッチB回路23にラッチされたデータは各段ごと、デコーダ24によりデコードされる。表1にはデコーダの4つの入力D11～D14とデコーダの16ヶの出力D00～D015の真理値表とこの時のドライバの出力電圧がまとめてある。即ち、D11～D14のデータにより、D01～D015のうちの1つが選択され、レベルシフタ25を介して、16ヶのアナログスイッチ群26の内の1つが選択され、これに該当する16ヶの液晶駆動の階調レベルGSV0～GSV15の内の1つがドライバーの出力としてソース線15へ供

給されるのである。

表 1

		ドライバ出力電圧															
		G	G	G	G	G	G	G	G	G	G	G	G	G	G	G	G
		S	S	S	S	S	S	S	S	S	S	S	S	S	S	S	S
		V	V	V	V	V	V	V	V	V	V	V	V	V	V	V	V
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
デ	D11	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0
	D12	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
	D13	0	0	0	0	1	1	1	1	0	0	0	1	1	1	1	1
	D14	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
コ	D00	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	D01	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	D02	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	D03	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
ト	D04	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
	D05	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
	D06	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
	D07	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
出	D08	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
	D09	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

	D09	0	0	0	0	0	0	0	1	0	0	0	0	0	0
	D010	0	0	0	0	0	0	0	0	1	0	0	0	0	0
	D011	0	0	0	0	0	0	0	0	0	1	0	0	0	0
	D012	0	0	0	0	0	0	0	0	0	0	1	0	0	0
	D013	0	0	0	0	0	0	0	0	0	0	0	1	0	0
	D014	0	0	0	0	0	0	0	0	0	0	0	0	1	0
	D015	0	0	0	0	0	0	0	0	0	0	0	0	0	1

第4図は本発明の実施例第1図の駆動回路の主要入力信号、内部信号、及び出力信号のタイミング図例である。第4図において、28はクロック信号である。(以後XCLと記す。)30はスタートパルスである。(以後XSP。)XCLとXSPは前記M段のシフトレジスタ21への入力信号であり、32～35は該シフトレジスタの内部出力信号であり、図中のQaはa段目の出力を意味する。31は1段目のラッチ回路A11への入力であり4ビットのデジタル信号である。(以後PD1～4。)図中のJは1行J列目のデータである。(i当N、j当M)36～39は前記ラッチ

ラッチA回路の出力信号である。図中のQa.はラッチA回路a段目の出力信号を意味する。ラッチA回路は前記シフトレジスタ21の出力信号の立ち上がりで、前記4ビットのデータPD1～4を捕引し、前記36～39を出力する。40は前記2段目のラッチB回路23へのラッチクロック入力信号である。(以後LCL)ラッチB回路はLCLの立ち下がりで前記ラッチA回路の出力信号Qa. (1当a当M)を捕引し、Qa.41を出力する。Qa.はラッチB回路の出力を意味する。

前記デコーダ24、前記レベルシフタ25、前記アナログスイッチ26をかいし、アナログ化された最終的な出力Oが42である。信号中の1は1行目のデータを意味する。

(発明の効果)

以上述べた様に、本発明はアクティブマトリックス方式の液晶パネルの駆動回路において、Xドライバー回路を入力されたデジタル信号をデコードし、このデコード出力により、外部から入力された各階級レベル電圧の1つをアナログスイッチ

により選択して出力する方式とすることにより、入力をデジタル信号、出力をアナログ信号とすることが可能となり、各種のデジタル信号処理システムとのインターフェースが容易になる。また、アナログ線順次とD/A変換器を組み合せた方式のように、高速D/A変換の必要性及び、オフセット電圧の調整の必要もなくなる。

最終的には、比較的、低ビット階調数の大容量ディスプレイに最適な駆動手段が提供される。このような用途は、パソコン等の端末のディスプレイ、各種計器類のディスプレイとして非常に大きな応用が見込めるものである。

4. 図面の簡単な説明

第1図……本発明の液晶パネルの駆動回路のブロック図。

- 21……シフトレジスタ
- 22……ラッチA回路
- 23……ノルム
- 24……デコーダ

25……レベルシフタ

26……アナログスイッチ

27, 28……ペーパーフラッテ

第2図……アナログ線順次駆動回路のブロック図。

- 1……Xドライバー
- 2……Yドライバー
- 3……アクティブマトリックスパネル
- 4……シフトレジスタ
- 5, 6……サンプルホールダ
- 7, 10……アナログスイッチ
- 8, 11……コンデンサ
- 9, 12……バッファアンプ
- 13……ゲートレジスタ
- 14……バッファアンプ
- 15……ソース線
- 16……ゲート線
- 17……画素トランジスタ
- 18……タ電極
- 19……共通電極

第3図……アナログ輪番次駆動回路とD/A変換器を組合せた液晶駆動システムの1例のプロック図。

20……D/A変換器

第4図……第1図の駆動タイミング図

28……クロック信号(XCL) (I)

30……スタートバルス(XSP) (I)

31……データ入力信号(PD1~4)

(I)

32……ソフトレジスタ1段目出力(Q1)

33……" 2 " (Q2)

34……" 3 " (Q3)

35……" M " (QH)

36……ラッチA回路1段目出力信号(QA)

(I)

37……" 2 " (QA)

(I)

38……" 3 " (QA)

(I)

39……" M " (QA)

40……ラッチクロック入力信号(LCL)

(I)

41……ラッチB回路出力入力(QB)

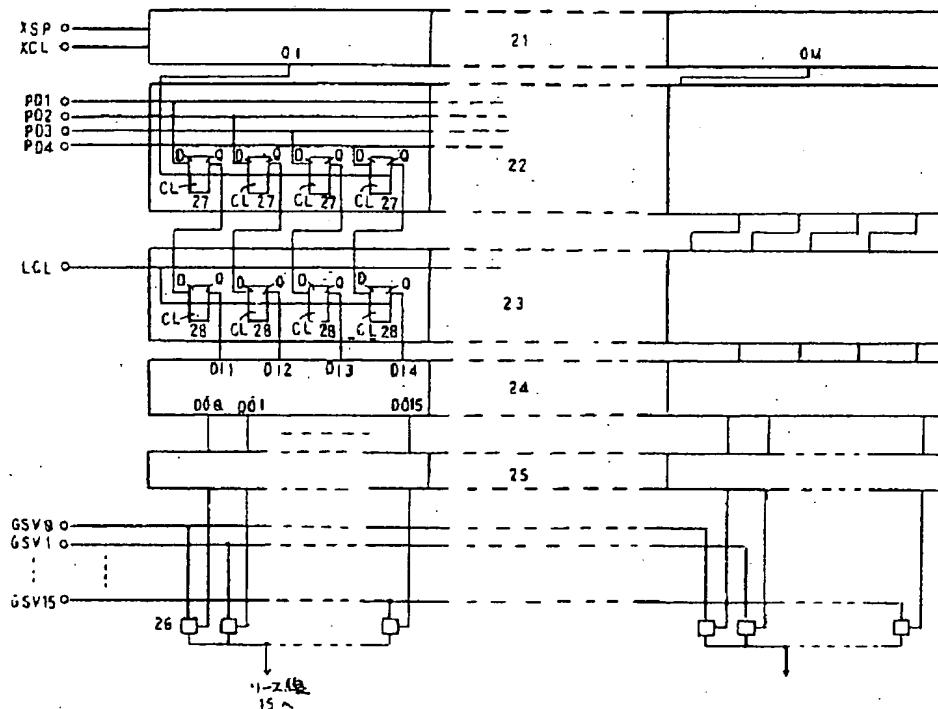
42……アナログ出力信号(O)

()内はシンボル(I)は外部入力信号を意味する。

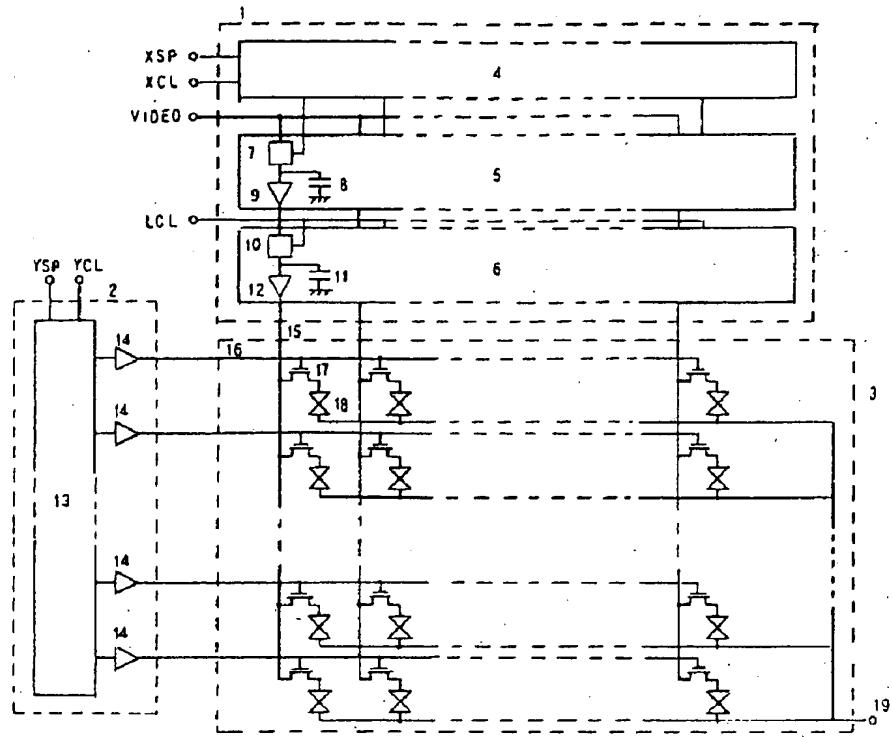
以上

出願人 セイヨーエブソン株式会社

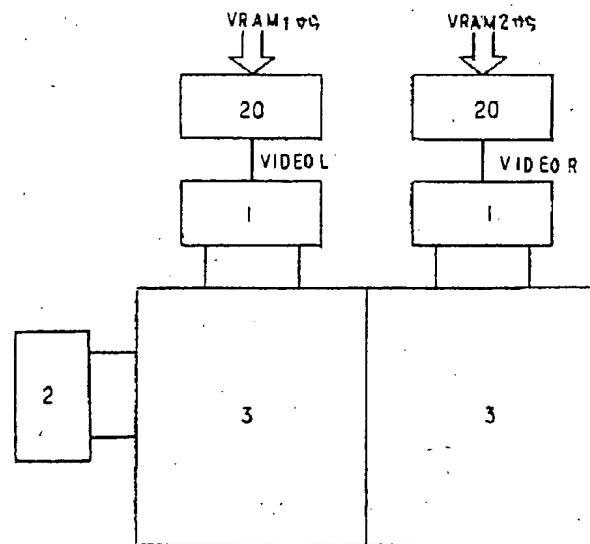
代理人 井理士 最上務 他1名



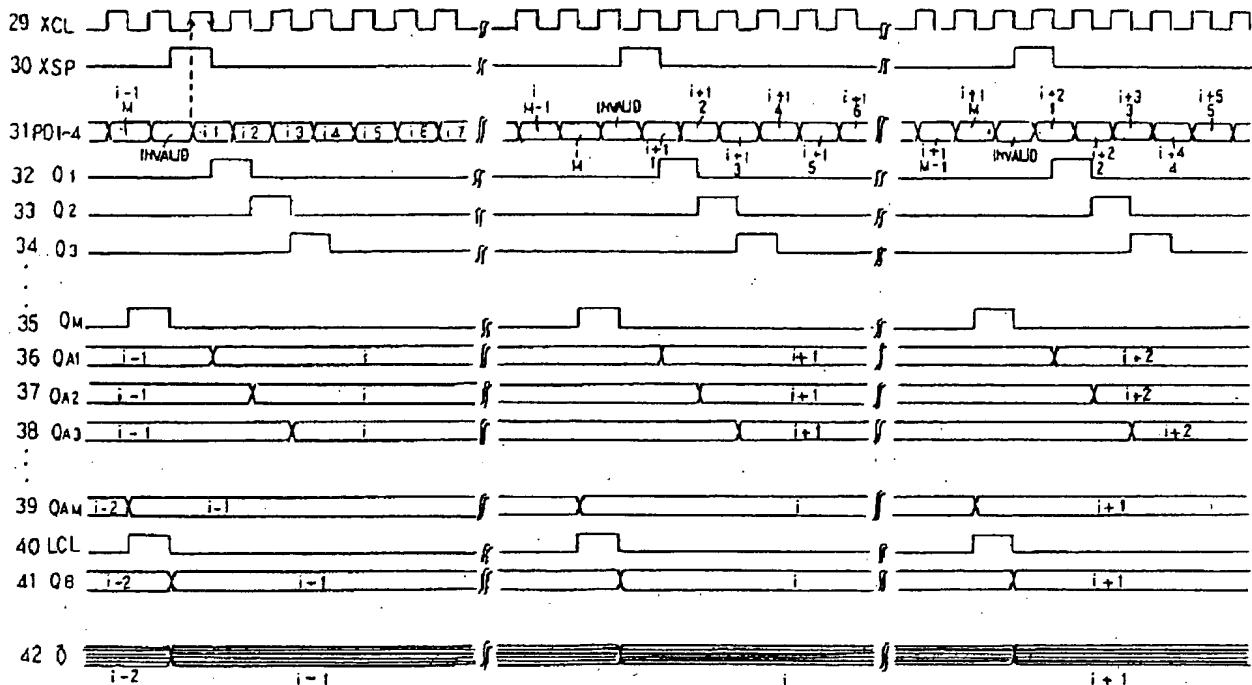
第1回



第 2 図



第 3 図



第4回